

**Πανεπιστήμιο Κρήτης
Σχολή Θετικών Επιστημών
Τμήμα Επιστήμης Υπολογιστών**

Διπλωματική Εργασία

**Μελέτη κατασκευαστικής
μεταβλητότητας σε Spartan-II FPGA με
χρήση κυκλωμάτων διπλής ράγας.**

**Παύλος Ματθαιάκης
Α.Μ. 1373**

e-mail: pmat@csd.uoc.gr , pmat@ics.forth.gr

Επιτηρητής Καθηγητής: Χρήστος Σωτηρίου
Επόπτης Καθηγητής: Μανόλης Κατεβαίνης

Σεπτέμβριος 2005

Ευχαριστίες

Θα ήθελα να ευχαριστήσω την οικογένεια μου για την ηθική και υλική συμπαράσταση που μου προσέφερε και συνεχίζει να μου προσφέρει.

Επίσης θα ήθελα να αναγνωρίσω τη σημαντική συμβολή και καθοδήγηση σε αυτή την εργασία του Δρ. Χρήστου Σωτηρίου.

Τέλος θα ήθελα να ευχαριστήσω όλα τα μέλη της ομάδας των "ασύγχρονων" για τη δημιουργική συνεργασία και τη συμπαράσταση τους.

Πίνακας περιεχομένων

Ευχαριστίες.....	3
Πίνακας περιεχομένων	5
Σχήματα.....	9
Περίληψη.....	11
Κεφάλαιο 1	13
Εισαγωγή	13
1.1 Σύγχρονα και ασύγχρονα κυκλώματα.....	13
1.2 Πλεονεκτήματα των ασύγχρονων κυκλωμάτων	13
1.3 Μειονεκτήματα των ασύγχρονων κυκλωμάτων	14
1.4 Στόχος της εργασίας.....	14
Κεφάλαιο 2	15
Αποσυγχρονισμός και αναγνώριση ολοκλήρωσης	15
2.1 Αποσυγχρονισμός	15
2.2 Αναγνώριση ολοκλήρωσης.....	16
2.2.1 Μεταβλητότητα κυκλωμάτων και δυναμικά δεδομένα	16
2.2.2 Ασύγχρονα κυκλώματα διπλής ράγας	17
2.2.3 Αναγνώριση ολοκλήρωσης.....	17
Κεφάλαιο 3	13
Πειραματική διαδικασία	20
Κεφάλαιο 4	25
Αποτελέσματα	25
4.1 Διαφορά καθυστέρησης STA και υλικού.....	26
4.2 Μεταβλητότητα διαφορετικών αντικειμένων του υλικού.....	27
4.3 Διαφορά εμβαδού κυκλωμάτων διπλής και μονής ράγας.....	28
4.4 Διαφορά καθυστέρησης κυκλωμάτων διπλής και μονής ράγας.....	29
Κεφάλαιο 5	30
Συμπεράσματα	30
5.1 Επιπτώσεις προόβλεψης STA.....	30
5.2 Επιπτώσεις μεταβλητότητας των διαφορετικών αντικειμένων υλικού.....	31
5.3 Αύξηση εμβαδού στα κυκλώματα διπλής ράγας.....	31
Αναφορές.....	33

Πίνακες

Πίνακας 1. Διαφορά STA και πραγματικής καθυστέρησης.	26
Πίνακας 2. Διαφορά στην καθυστέρηση των διαφορετικών αντικειμένων υλικού.....	27
Πίνακας 3. Διαφορά στο εμβαδό κυκλωμάτων μονής και διπλής ράγας.	28
Πίνακας 4. Διαφορά καθυστέρησης κυκλωμάτων μονής και διπλής ράγας.....	29

Σχήματα

Σχήμα 2-1. Αποσυγχρονισμός. (α)Σύγχρονο κύκλωμα (β)Ασύγχρονο κύκλωμα	15
Σχήμα 3-1. Στάδια πειραματικής διαδικασίας	20
Σχήμα 3-2. Μετατροπή ενός κυκλώματος από μονής σε διπλής ράγας.	21
Σχήμα 4-1 Διαφορά STA και πραγματικής καθυστέρησης	26
Σχήμα 4-2. Διαφορά στην καθυστέρηση των διαφορετικών αντικειμένων υλικού.	27
Σχήμα 4-3. Διαφορά στο εμβαδό κυκλωμάτων μονής και διπλής ράγας.	28
Σχήμα 4-4. Διαφορά καθυστέρησης κυκλωμάτων μονής και διπλής ράγας.	30

Περίληψη

Η συνεχής συρρίκνωση των διαστάσεων στην κατασκευαστική διαδικασία των κυκλωμάτων έχει σαν αποτέλεσμα την αύξηση της κατασκευαστικής μεταβλητότητας. Αυτό συνεπάγεται σημαντική απώλεια ταχύτητας, επειδή τα εργαλεία αυτόματης σύνθεσης υλικού χρονίζουν το κύκλωμα με βάση τη στατική χρονική ανάλυση σε συχνότητα πολύ χαμηλότερη σε σχέση με αυτή που θα μπορούσε να λειτουργήσει στην πραγματικότητα λόγω ενός συνόλου συσσωρευμένων απλοποιήσεων και θεωρήσεων χειρότερης περίπτωσης. Μία λύση σε αυτό το πρόβλημα είναι η χρήση μονότονων κυκλωμάτων με αναγνώριση ολοκλήρωσης τα οποία δουλεύουν στις πραγματικές καθυστερήσεις και έχουν τη δυνατότητα να προσαρμόζονται στην μεταβλητότητα. Σε αυτή την εργασία υπολογίζεται η διαφορά της στατικής χρονικής ανάλυσης σε σχέση με την πραγματική καθυστέρηση λειτουργίας ενός κυκλώματος υλοποιημένου σε FPGA, το κόστος μετατροπής ενός κυκλώματος σε μονότονο με αναγνώριση ολοκλήρωσης και η μεταβλητότητα μεταξύ διαφορετικών συσκευών. Όπως φαίνεται από τα αποτελέσματα η μετατροπή ενός κυκλώματος σε μονότονο προκαλεί αύξηση του εμβαδού 670% κατά μέσο όρο και αύξηση της καθυστέρησης στην χειρότερη περίπτωση κατά μέσο όρο 39%. Όμως το κέρδος από τη λειτουργία του κυκλώματος στις πραγματικές καθυστερήσεις είναι μείωση της καθυστέρησης 46% κατά μέσο όρο. Όσον αφορά τη μεταβλητότητα μεταξύ διαφορετικών συσκευών τα αποτελέσματα έδειξαν ότι δεν υπάρχει σημαντική απόκλιση στις καθυστερήσεις.

Κεφάλαιο 1

Εισαγωγή

Στο παρόν κεφάλαιο εισάγεται η έννοια των ασύγχρονων κυκλωμάτων τα οποία είναι κυκλώματα που δεν χρησιμοποιούν εξωτερικό χρονισμό. Επίσης αναφέρονται τα πλεονεκτήματα και τα μειονεκτήματα τους σε σχέση με τα αντίστοιχα σύγχρονα.

1.1 Σύγχρονα και ασύγχρονα κυκλώματα

Για να επιτυγχάνεται η μέγιστη δυνατή ταχύτητα λειτουργίας στα κυκλώματα θα πρέπει οι κυκλωματικοί πόροι να χρησιμοποιούνται όσο το δυνατόν περισσότερες φορές στη μονάδα του χρόνου. Αυτό επιτυγχάνεται με τη χρησιμοποίηση σημάτων χρονισμού τα οποία ενεργοποιούνται όποτε οι κυκλωματικοί πόροι είναι έτοιμοι να δεχτούν νέα δεδομένα προς επεξεργασία.

Σύμφωνα με την πιο διαδεδομένη σχεδιαστική τακτική, σε κάποιο κύκλωμα θα πρέπει όλοι οι κυκλωματικοί πόροι να δέχονται καινούρια δεδομένα προς επεξεργασία στην ίδια χρονική στιγμή δηλαδή να λειτουργούν συγχρονισμένα. Αυτή η προσέγγιση είναι ευρέως γνωστή ως σύγχρονη και αντίστοιχα η σχεδίαση με αυτόν τον τρόπο σύγχρονη σχεδίαση.

Εκτός της σύγχρονης σχεδίασης τα τελευταία χρόνια έχουν αρχίσει να μελετώνται κυκλώματα στα οποία δεν υπάρχουν καθολικά σήματα χρονισμού, όπου οι κυκλωματικοί πόροι δέχονται νέα δεδομένα προς επεξεργασία όποτε οι κυκλωματικοί πόροι που τα παράγουν έχουν επεξεργαστεί τα δικά τους δεδομένα και τα αποτελέσματα αυτής της επεξεργασίας είναι έτοιμα προς χρησιμοποίηση. Για να επικοινωνούν οι πόροι που έχουν τις παραπάνω εξαρτήσεις δεδομένων χρησιμοποιούνται ακολουθιακά στοιχεία τα οποία εφαρμόζουν ένα πρωτόκολλο που εξασφαλίζει τη σωστή μετάδοση των δεδομένων. Τα κυκλώματα αυτά ονομάζονται ασύγχρονα και η αντίστοιχη σχεδίαση ασύγχρονη.

Το γεγονός ότι στη βιομηχανία τα περισσότερα κυκλώματα που σχεδιάζονται είναι συγχρονα δεν έγκειται στο ότι τα σύγχρονα κυκλώματα πλεονεκτούν πάντα έναντι των αντίστοιχων ασύγχρονων αλλά στο ότι η ασύγχρονη σχεδίαση είναι ακόμα αρκετά νέα ως σχεδιαστική τεχνική και δεν υπάρχουν βιομηχανικής ποιότητας εργαλεία υψηλού επιπέδου που να την υποστηρίζουν. Επίσης, η συντριπτική πλειοψηφία των σχεδιαστών ψηφιακών κυκλωμάτων που επανδρώνουν τη βιομηχανία είναι εκπαιδευμένοι με βάση τη σύγχρονη σχεδίαση.

Στη συνέχεια αναφέρονται τα πλεονεκτήματα αλλά και τα μειονεκτήματα των ασύγχρονων κυκλωμάτων σε σχέση με αντίστοιχα σύγχρονα.

1.2 Πλεονεκτήματα των ασύγχρονων κυκλωμάτων

Τα ασύγχρονα κυκλώματα πλεονεκτούν των αντίστοιχων σύγχρονων στους παρακάτω πολύ σημαντικούς τομείς:

- Χαμηλή κατανάλωση ενέργειας [1,2,3,4,5,6] η οποία προκύπτει από το γεγονός ότι δεν υπάρχει καθολικό ρολόι άρα και δίκτυο καθολικού ρολογιού το οποίο στα ασύγχρονα κυκλώματα μπορεί να καταναλώνει σημαντικό μέρος της συνολικής ενέργειας. Επίσης, η συνιστώσα της λειτουργικής δραστηριότητας των πυλών είναι αισθητά μειωμένη σε σχέση με την αντίστοιχη σύγχρονη μιάς και οι κυκλωματικοί πόροι δεν επεξεργάζονται

δεδομένα σε κάθε ενεργοποίηση των σημάτων χρονισμού αλλά όποτε χρειάζεται σύμφωνα με το πρωτόκολλο επικοινωνίας.

- Υψηλή ταχύτητα λειτουργίας [7,8,9] η οποία συνεπάγεται από την υπόθεση ότι το κύκλωμα μπορεί να δουλεύει με ταχύτητα που προσδιορίζεται από τις πραγματικές καθυστερήσεις των κυκλωματικών πόρων και όχι από την καθυστέρηση του αργότερου κυκλωματικού πόρου που υπάρχει στο κύκλωμα.
- Χαμηλός ηλεκτρομαγνητικός θόρυβος [10,11] σε σχέση με τα αντίστοιχα σύγχρονα που προκύπτει από την αφαίρεση των καθολικών σημάτων χρονισμού τα οποία και τον παράγουν. Στη θέση τους μπαίνουν σήματα που δεν ενεργοποιούνται ταυτόχρονα κι έτσι ο ηλεκτρομαγνητικός θόρυβος που παράγεται είναι χαμηλότερος του αντίστοιχου σύγχρονου κυκλώματος.
- Καλύτερη συνθεσιμότητα και ευκολότερη διάσπαση [12,13,14,15,16] λόγω των απλών διεπαφών που έχουν οι μανταλωτές – ελεγκτές και των τοπικών σημάτων που χρησιμοποιούν.
- Αποφυγή του διαμοιρασμού του ρολογιού και των προβλημάτων που προκύπτουν από το διαμοιρασμό αυτό όπως απόκλιση στην άφιξη και αναταράξεις .
- Επίλυση των προβλημάτων που προκύπτουν λόγω της μεταβλητότητας των κυκλωμάτων [17,18,19] στην τάση, τη θερμοκρασία και τα σφάλματα που μπορούν να γίνουν κατά τη διαδικασία παραγωγής κυκλωμάτων.

1.3 Μειονεκτήματα των ασύγχρονων κυκλωμάτων

Τα ασύγχρονα κυκλώματα έχουν και μειονεκτήματα σε σχέση με τα αντίστοιχα σύγχρονα:

- Πολυπλοκότερη σχεδίαση η οποία προκύπτει από το γεγονός ότι οι περισσότεροι μηχανικοί είναι εξοικειωμένοι με το σύγχρονο τρόπο σχεδίασης.
- Έλλειψη αξιόπιστων εργαλείων για την ασύγχρονη σχεδίαση. Την τελευταία εικοσαετία έχει αναπτυχθεί μεγάλο πλήθος εργαλείων για τη σχεδίαση σύγχρονων κυκλωμάτων σε αντίθεση με τα εργαλεία ασύγχρονης σχεδίασης που έχουν αρχίσει μόλις τα τελευταία χρόνια να κάνουν την εμφάνισή τους.
- Μεγαλύτερο εμβαδόν λόγω των ακολουθιακών στοιχείων που ρυθμίζουν την επικοινωνία των κυκλωματικών πόρων.
- Δυσκολία να συσσωρευτούν όλα τα πλεονεκτήματα των ασύγχρονων κυκλωμάτων σε ένα κύκλωμα.

1.4 Στόχος της εργασίας

Τα εργαλεία σύγχρονης σχεδίασης χρονίζουν τα κυκλώματα σε συχνότητες πολύ χαμηλότερες σε σχέση με αυτές που θα μπορούσαν να λειτουργούν στην πραγματικότητα. Ο λόγος για αυτή τη σημαντική απώλεια στη ταχύτητα, είναι η αδυναμία των σύγχρονων κυκλωμάτων να συνεχίζουν να λειτουργούν σωστά, έπειτα από μεταβολές στην τάση και τη θερμοκρασία καθώς και η μεταβλητότητα που παρουσιάζεται κατά τη διαδικασία παραγωγής. Αντίθετα τα ασύγχρονα κυκλώματα προσαρμόζονται στις όποιες μεταβολές τάσης και θερμοκρασίας και δεν επηρεάζονται από τη μεταβλητότητα στη διαδικασία παραγωγής. Στόχος αυτής της εργασίας είναι να μελετηθεί η μεταβλητότητα και το μέτρο συνεισφοράς της στην απόκλιση της ταχύτητας των σύγχρονων κυκλωμάτων σε σχέση με τα αντίστοιχα ασύγχρονα καθώς και το κόστος μετατροπής των σύγχρονων κυκλωμάτων σε ασύγχρονα (μονότονα με αναγνώριση ολοκλήρωσης).

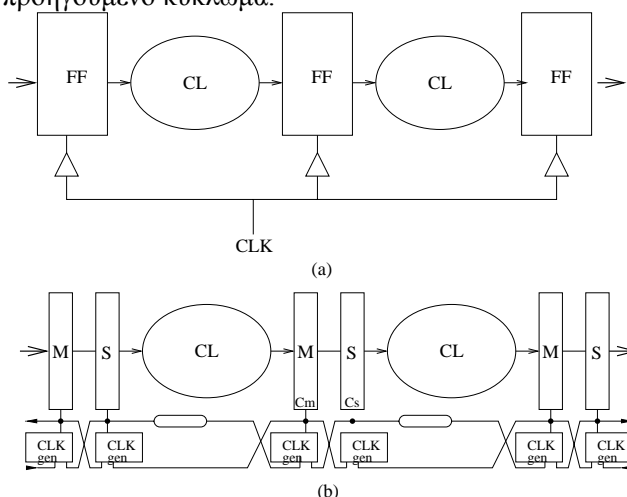
Κεφάλαιο 2

Αποσυγχρονισμός και αναγνώριση ολοκλήρωσης

Στο δεύτερο κεφάλαιο της εργασίας παρουσιάζεται η μέθοδος του αποσυγχρονισμού με την οποία μετατρέπεται ένα σύγχρονο κύκλωμα σε ασύγχρονο. Έπειτα παρουσιάζεται η κωδικοποίηση διπλής ράγας η οποία χρησιμοποιείται στα ασύγχρονα κυκλώματα. Τέλος περιγράφεται η αναγνώριση ολοκλήρωσης και ο τρόπος που μπορεί να χρησιμοποιηθεί σε συνδυασμό με τον αποσυγχρονισμό και την κωδικοποίηση διπλής ράγας για τη δημιουργία διασωληνομένων κυκλωμάτων.

2.1 Αποσυγχρονισμός

Στο σχήμα 2-1(α) φαίνεται ένα συνήθες σύγχρονο κύκλωμα. Το σχήμα 2-1(β) αντιπροσωπεύει το ασύγχρονο κύκλωμα που έχει παραχθεί εφαρμόζοντας τη μέθοδο του αποσυγχρονισμού στο προηγούμενο κύκλωμα.



Σχήμα 2.1.Αποσυγχρονισμός.(α)Σύγχρονο κύκλωμα (β)Ασύγχρονο κύκλωμα

Τα βασικά βήματα αυτής της τεχνικής είναι τα εξής:

- **Αντικατάσταση καταχωρητών από μανταλωτές.** Οι καταχωρητές που υπάρχουν στο σύγχρονο κύκλωμα αφαιρούνται και στη θέση τους εισάγονται μανταλωτές.
- **Ομαδοποίηση των ακολουθιακών στοιχείων του κυκλώματος.** Εφαρμόζονται μέθοδοι ομαδοποίησης στο κύκλωμα ώστε οι κυκλωματικοί πόροι που βρίσκονται μεταξύ των καταχωρητών να ομαδοποιηθούν κι έτσι να ελαχιστοποιηθούν στο ελάχιστο δυνατό και οι μανταλωτές – ελεγκτές που θα εφαρμόσουν τα πρωτόκολλα επικοινωνίας μεταξύ των κυκλωματικών πόρων.
- **Δημιουργία δικτύου ελέγχου.** Εισάγεται στο κύκλωμα το δίκτυο που συνδέει τους ελεγκτές των μανταλωτών – ελεγκτών και το οποίο θα πρέπει να συμφωνεί με τις εξαρτήσεις δεδομένων μεταξύ των ομαδοποιημένων κυκλωματικών πόρων.

Στον αποσυγχρονισμό απαιτούνται στοιχεία καθυστέρησης τα οποία να καθυστερούν τα σήματα ελέγχου ανάλογα με την καθυστέρηση των συνδυαστικών συννέφων που υπάρχουν μεταξύ των ζευγαριών μανταλωτών που συνδέονται. Τα στοιχεία καθυστέρησης αν τοποθετηθούν στο κύκλωμα αρκετά κοντά με τους κυκλωματικούς πόρους των οποίων την καθυστέρηση μοντελοποιούν λύνουν και πολλές πτυχές του προβλήματος της μεταβλητότητας των κυκλωμάτων επειδή λόγω της τοπικότητας έχουν τις ίδιες αυξομοιώσεις θερμοκρασίας και τάσης. Όμως τα στοιχεία καθυστέρησης δεν μπορούν να ανεχτούν τα σφάλματα που γίνονται κατά την διαδικασία παραγωγής και τα οποία αφορούν τις αποκλίσεις που παρουσιάζουν οι καθυστερήσεις ίδιων πυλών στο κύκλωμα καθώς και το δίκτυο ελέγχου αποτελείται από τέτοιες πύλες.

Επίσης έμφαση θα πρέπει να δοθεί στο γεγονός ότι σε ένα μονότονο κύκλωμα χωρισμένο με καταχωρητές η καθυστέρηση της συνδυαστικής λογικής μεταξύ των καταχωρητών είναι δυναμική γιατί εξαρτάται από τα δεδομένα που της δίνονται σαν είσοδοι. Όμως ένα αποσυγχρονισμένο κύκλωμα με στοιχεία καθυστέρησης λειτουργεί με βάση την καθυστέρηση του κρίσιμου μονοπατιού σε κάθε σύννεφο συνδυαστικής λογικής.

Μια λύση σε αυτό το πρόβλημα θα μπορούσε να είναι η χρήση τηλεσκοπικών μονάδων, δηλαδή παραπάνω των ένα στοιχείων καθυστέρησης για κάθε συνδυαστική λογική τα οποία θα επιλέγονται από ένα βοηθητικό κύκλωμα το οποίο θα λαμβάνει υπόψιν του τις τρέχουσες τιμές των δεδομένων εισόδου[23,24]. Αυτή η λύση όμως απαιτεί επιπλέον κυκλωματικούς πόρους άρα κι επιπλέον κατανάλωση ενέργειας στο κύκλωμα και οξύνει και το πρόβλημα της μεταβλητότητας των καθυστερήσεων μιας και εισάγει περισσότερους χρονικούς περιορισμούς.

Η λύση η οποία αντιμετωπίζει και τα δύο αυτά προβλήματα αποτελεσματικά και η οποία θα αναλυθεί στη συνέχεια ονομάζεται αναγνώριση ολοκλήρωσης.

2.2 Αναγνώριση ολοκλήρωσης

2.2.1 Μεταβλητότητα κυκλωμάτων και δυναμικά δεδομένα

Με τη συνεχή συρρίκνωση των διαστάσεων η μεταβλητότητα έχει αναχθεί ως ένα από τα σημαντικότερα προβλήματα για την ορθή υλοποίηση κυκλωμάτων. Αν περιοριστούμε στα κυκλώματα CMOS τα οποία κυριαρχούν στην παραγωγή η ταχύτητα του κυκλώματος εξαρτάται κατά κύριο λόγο από το μήκος της πύλης του κάθε MOS transistor κι έτσι η ακρίβεια του σχεδιασμού transistor με το κατάλληλο μήκος πύλης είναι πολύ σημαντικός για την απόδοση του κυκλώματος. Όμως όσο τα transistor μικρύνονται τόσο πιο εύκολο είναι να γίνει κάποιο λάθος στην ακρίβεια σχεδιασμού του μήκους πύλης.

Η μεταβλητότητα στο μήκος πύλης δεν είναι τυχαία[25] αλλά εξαρτάται από κάποιους τοπολογικούς παράγοντες πάνω στο κύκλωμα όπως η απόσταση του συγκεκριμένου transistor από το κέντρο του κυκλώματος και η σχετική του απόσταση στο χώρο από τα γειτονικά του transistor κι επιπλέον ότι η μεταβλητότητα αυτή θα οξύνεται περισσότερο με την περαιτέρω μείωση του μεγέθους των transistors. Επίσης αυτή η έρευνα έδειξε ότι η συγκεκριμένη μεταβλητότητα προσθέτει καθυστέρηση ~17% στα κρίσιμα μονοπάτια συνδυαστικής λογικής και άλλο ~8% στο δίκτυο ρολογιού και αν συνεκτιμηθεί και το γεγονός ότι σχεδόν κανένα από τα εργαλεία που υπολογίζουν την υποθετική καθυστέρηση του κυκλώματος δεν λαμβάνουν υπόψιν τους τα παραπάνω κάνει την ανάγκη για μεθόδους σχεδίασης κυκλωμάτων αναισθητων στη μεταβλητότητα περισσότερο επιτακτική από ποτέ.

Για να επιτευχθεί η βέλτιστη λύση η οποία θα καθυστερεί το κάθε τμήμα συνδυαστικής λογικής κατά όσο είναι η καθυστέρηση του μονοπατιού που ενεργοποιείται θα πρέπει με κάποιο τρόπο να είναι δυνατό να ελεγχθεί τότε η συνδυαστική λογική επεξεργάστηκε τα δεδομένα εισόδου της και έχει έτοιμα τα δεδομένα εξόδου. Σε αυτή την προοπτική φαίνεται πολύ χρήσιμη η κωδικοποίηση διπλής ράγας ασύγχρονων κυκλωμάτων η οποία θα παρουσιαστεί στη συνέχεια.

2.2.2 Ασύγχρονα κυκλώματα διπλής ράγας

Μια κωδικοποίηση ονομάζεται αναίσθητη στις καθυστερήσεις όταν καμία λέξη αυτής της κωδικοποίησης δεν περιέχεται σε κάποια από τις άλλες[26]. Αυτές οι κωδικοποιήσεις βρίσκουν εφαρμογή στα δίκτυα διασύνδεσης όπου έχουμε ένα αποστολέα και ένα παραλήπτη και ο παραλήπτης μπορεί να αντιλαμβάνεται τότε έφτασαν καινούρια δεδομένα σε αυτόν και να ζητάει από τον αποστολέα νέα χωρίς να κάνει χρονικές υποθέσεις.

Οι κωδικοποιήσεις μπορούν να αξιολογηθούν σύμφωνα με τρεις παράγοντες: την αποδοτικότητα, την ευκολία αναγνώρισης και την πολυπλοκότητα της λογικής που χρειάζεται για την αποκωδικοποίηση μιας λέξης. Η κωδικοποίηση διπλής ράγας αξιολογείται[27] ως καλή λύση γι' αυτό και εφαρμόζεται σε μεγάλη κλίμακα στα ασύγχρονα κυκλώματα.

Σύμφωνα με αυτήν κάθε σήμα(d) της συμβατικής κωδικοποίησης αναπαρίσταται με δύο σήματα($d.t$, $d.f$). Όταν $d.t = 1$, $d.f = 0$ έχουμε το αντίστοιχο 1 της συμβατικής κωδικοποίησης ενώ όταν $d.t = 0$, $d.f = 1$ έχουμε το αντίστοιχο 0. Ο συνδυασμός $d.t = 1$, $d.f = 1$ είναι μη επιτρεπτός ενώ ο συνδυασμός $d.t = 0$, $d.f = 0$ ονομάζεται κενή λέξη και η χρησιμότητα της στα πρωτόκολλα επικοινωνίας των ασύγχρονων κυκλωμάτων θα αναλυθεί στη συνέχεια. Αξίζει να σημειωθεί ότι μπορούμε να χρησιμοποιήσουμε και το $d.t = 1$, $d.f = 1$ σαν κενή λέξη και το συνδυασμό $d.t = 0$, $d.f = 0$ ως μη επιτρεπτό μιας και αν σε μια κωδικοποίηση αλλάξουμε τις τιμές των bits με τα συμπληρώματα τους η κωδικοποίηση που προκύπτει είναι επίσης αναίσθητη στις καθυστερήσεις[26].

2.2.3 Αναγνώριση ολοκλήρωσης

Σε ένα σύγχρονο κύκλωμα η ταχύτητα λειτουργίας εξαρτάται από το κρίσιμο μονοπάτι του πιο αργού τμήματος συνδυαστικής λογικής. Όμως, το διάνυσμα των εισόδων που ενεργοποιούν αυτό το μονοπάτι συνήθως είναι ένα πολύ μικρό υποσύνολο του συνόλου των διανυσμάτων των εισόδων. Ετσι, έχουν αναπτυχθεί τεχνικές οι οποίες επιδιώκουν να αυξήσουν την ταχύτητα λειτουργίας του κυκλώματος κάνοντας το να δουλεύει σε χρόνο μικρότερο της αργότερης καθυστέρησης του κρίσιμου μονοπατιού.

Μία τέτοια πρόσφατη τεχνική[28] η οποία μπορεί να εφαρμοστεί σε σύγχρονα κυκλώματα προσθέτει έναν ειδικό τύπο μανταλωτή στους καταχωρητές οι οποίοι ακολουθούν τμήματα συνδυαστικής λογικής με μεγάλη καθυστέρηση. Αυτοί οι μανταλωτές οι οποίοι μαζί με τον αντίστοιχο καταχωρητή αποτελούν καταχωρητή Razor ενεργοποιούνται από ένα σήμα το οποίο είναι καθυστερημένο σε σχέση με το ρολόι που ενεργοποιεί τους καταχωρητές. Ετσι, σε κάθε κύκλο συγκρίνεται η τιμή της τιμής που έχει αποθηκεύσει ο καταχωρητής με την τιμή του μανταλωτή και αν υπάρχει διαφορά συνεπάγεται ότι ο καταχωρητής δεν έχει πάρει σωστά δεδομένα και θα πρέπει τα δεδομένα να προωθηθούν από τον μανταλωτή σταματώντας παράλληλα την λειτουργία του σύγχρονου κυκλώματος. Ανάλογα με τον αριθμό των χρονικών σφαλμάτων που λαμβάνουν χώρα στο κύκλωμα ένα βοηθητικό κύκλωμα αυξομειώνει την παρεχόμενη τάση για να επιτυγχάνεται μείωση της κατανάλωσης.

Αυτή όπως και παρόμοιες τεχνικές αν κι έχει πολλά θετικά αποτελέσματα όπως η αντιμετώπιση των περισσότερων παραμέτρων της μεταβλητότητας των κυκλωμάτων δε μπορεί να κάνει το κύκλωμα να λειτουργήσει σύμφωνα με την καθυστέρηση των μονοπατιών που ενεργοποιούνται κάθε φορά. Αυτό κατά βάση συνεπάγεται από τη φύση των σύγχρονων κυκλωμάτων.

Αντίθετα τα ασύγχρονα κυκλώματα μπορούν με κάποιους τρόπους που θα αναλύσουμε στη συνέχεια να ορίσουν δυναμικά με βάση τα δεδομένα εισόδου τη ταχύτητα στην οποία θα λειτουργεί το κύκλωμα. Ο πρώτος τρόπος[30] με ονομασία NCL συνδυάζει την κωδικοποίηση

διπλής ράγας, τη χρησιμοποίηση ειδικών πυλών των οποίων οι έξοδοι εξαρτάται και από την προηγούμενη είσοδο τους γνωστές και ως πύλες με υστέρηση[31] και της τεχνικής DIMS για σχεδίαση ασύγχρονων κυκλωμάτων.

Στην NCL τεχνική χρησιμοποιείται ένα σήμα το οποίο ειδοποιεί πότε μια έξοδος συνδυαστικής λογικής έχει πάρει την τελική της τιμή αποτελούμενη από δεδομένα ώστε η συνδυαστική λογική που προηγείται αυτής να της παρέχει ένα διάνυσμα δεδομένων με την κενή λέξη, πράγμα απαραίτητο για τον διαχωρισμό των διαφορετικών τιμών δεδομένων. Η παραπάνω τεχνική καταφέρνει και θέτει το κύκλωμα σε λειτουργία καθορισμένη αυστηρά από τις τιμές των εισόδων αλλά έχει και κάποια σοβαρά μειονεκτήματα. Τα σημαντικότερα από αυτά είναι η καθυστέρηση από τη διάδοση του διανύσματος της κενής λέξης, η ανικανότητα για την εφαρμογή τεχνικών απλοποίησης του κυκλώματος για να μη υπάρξει πρόβλημα με την διατήρηση της ανοχής στις καθυστερήσεις του κυκλώματος και το κόστος σε χώρο του κυκλώματος το οποίο αποδεικνύει την ανοχή του κυκλώματος σε καθυστερήσεις.

Μία βελτιωμένη έκδοση του NCL γνωστή και ως NCLX [29] δεν εξασφαλίζει την ανοχή στις καθυστερήσεις μέσα από τον τρόπο λειτουργίας του κυκλώματος αλλά τα λειτουργικά τμήματα του κυκλώματος υλοποιούνται ξεχωριστά από τα δίκτυα που αναγνωρίζουν την ολοκλήρωση και εξασφαλίζουν την ανοχή στις καθυστερήσεις. Έτσι αυτό που επιτυγχάνεται είναι η δυνατότητα να απλοποιήσουμε ξεχωριστά τη λογική της ολοκλήρωσης από την λειτουργική που κάνει τους απαραίτητους υπολογισμούς. Έτσι επιτυγχάνουμε καλύτερα αποτελέσματα σε ταχύτητα αλλά η μεγάλη διαφορά είναι στο μέγεθος του κυκλώματος το οποίο μετά τις απλοποιήσεις έχει μικρυνθεί αρκετά. Το μεγαλύτερο μειονέκτημα των NCLX κυκλωμάτων είναι ότι κάθε πύλη πρέπει να σηκώνει κάποιο σήμα για να σημαίνει την έγκυρη έξοδο της. Έτσι δημιουργείται ένα αρκετά μεγάλο δίκτυο αναγνώρισης ολοκλήρωσης στο οποίο ακόμα κι αν γίνουν απλοποιήσεις είναι περίπου ίσο με την επιβάρυνση που έχουμε από τη χρησιμοποίηση της κωδικοποίησης διπλής ράγας κι έτσι έχουμε κύκλωμα τριπλάσιο περίπου σε μέγεθος σε σχέση με το αντίστοιχο σύγχρονο.

Αυτή η επιβάρυνση δεν συναντάται στον ίδιο βαθμό στην τεχνική μετατροπής με De Morgan και διόρθωση φάσης[32] η οποία θα αναλυθεί στη συνέχεια και η οποία μελετάται πειραματικά σε αυτήν την εργασία. Αυτή η τεχνική συνδυάζει τα πλεονεκτήματα που προσφέρει η δυναμική CMOS λογική έναντι της στατικής με αυτά της κωδικοποίησης διπλής ράγας όπως αυτά αναφέρθηκαν παραπάνω. Η δυναμική λογική είναι σαφώς πιο γρήγορη από την αντίστοιχη στατική ειδικά όταν χρησιμοποιείται σύντομος κύκλος προφόρτισης. Τα ασύγχρονα κυκλώματα δουλεύουν και αυτά σε δύο φάσεις κι έτσι μπορούμε να μοντελοποιήσουμε τη φάση προφόρτισης με τη φάση που διαδίδει την κενή λέξη στο κύκλωμα και την φάση υπολογισμού με τη φάση που διαδίδει τα δεδομένα στο κύκλωμα. Όμως όπως και στα CMOS δυναμικής λογικής πετυχαίνουμε μέγιστη απόδοση κάνοντας την φάση προφόρτισης όσο σύντομη γίνεται (αυτό βοηθάει και στην αποτροπή της εκφόρτισης των πυκνωτών που φορτίστηκαν) έτσι και στα ασύγχρονα κυκλώματα θα πετυχαίναμε πολύ καλή απόδοση αν η φάση που διαδίδει την κενή λέξη ήταν πολύ σύντομη. Αυτό μπορεί εύκολα να γίνει αν κατά την φάση διάδοσης της κενής λέξης δεν απαιτούμε από το κύκλωμα να είναι ανεχτικό στις καθυστερήσεις και εισάγουμε κάποιες χρονικές υποθέσεις οι οποίες δε θα επηρεάζουν τη λειτουργία του κυκλώματος αλλά ούτε και την ανοχή του στην μεταβλητότητα. Μία αποδοτική υλοποίηση είναι η εισαγωγή της κενής λέξης σε ενδιάμεσα στάδια της συνδυαστικής λογικής. Με αυτόν τον τρόπο η φάση διάδοσης της κενής λέξης διαρκεί πολύ λίγο πράγμα που μοντελοποιεί την σύντομη φάση προφόρτισης στην δυναμική λογική CMOS. Όσον αφορά τη φάση διάδοσης των έγκυρων δεδομένων η χρησιμοποίηση μονότονου δικτύου μας εξασφαλίζει τη σωστή διάδοση δεδομένων με την παράλληλη αποφυγή εμφάνισης λάθους τιμών δεδομένων στο κύκλωμα. Επίσης είναι δυνατή η χρησιμοποίηση αρνητικών πυλών οι οποίες είναι γρηγορότερες από τις αντίστοιχες θετικές και οι οποίες δεν μπορούν να χρησιμοποιηθούν σε καμία από τις δύο προηγούμενες μεθόδους.

Συνοψίζοντας η τελευταία μέθοδος συνδυάζει τα πλεονεκτήματα μιας γρήγορης μεθόδου σύνθεσης σύγχρονων κυκλωμάτων, τη δυναμική λογική(η οποία όμως δε μπορεί να εφαρμοστεί

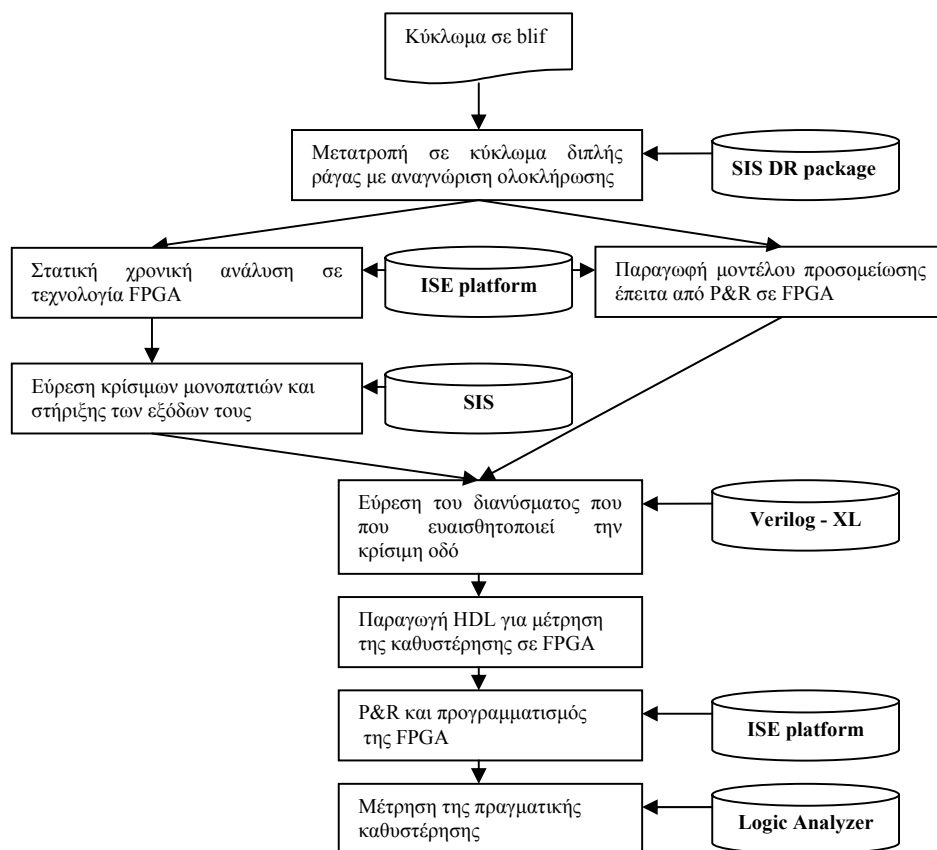
εύκολα στη πράξη λόγω του υψηλού θορύβου και άλλων προβλημάτων που παρουσιάζει όπως τον διαμοιρασμό του φορτίου) για τη φάση διάδοσης των κενών λέξεων και τα πλεονεκτήματα των δυναμικών δεδομένων για τη φάση διάδοσης των δεδομένων. Έτσι η τεχνική αυτή όπως θα φανεί στη συνέχεια μπορεί να εφαρμοστεί στην πράξη με επιτυχία.

Στο πρώτο κεφάλαιο παρουσιάστηκαν τα πλεονεκτήματα και τα μειονεκτήματα των ασύγχρονων κυκλωμάτων και δόθηκε βαρύτητα στην προσαρμοστικότητα των ασύγχρονων κυκλωμάτων στη μεταβλητότητα. Στο δεύτερο κεφάλαιο αναπτύχθηκε η τεχνική του αποσυγχρονισμού η οποία σε συνδυασμό με τα κυκλώματα διπλής ράγας με αναγνώριση ολοκλήρωσης μπορεί να δώσει κυκλώματα ανεκτικά στη μεταβλητότητα τα οποία να δουλεύουν στις πραγματικές καθυστερήσεις. Στα επόμενα κεφάλαια θα παρουσιαστεί μια πειραματική διαδικασία υπολογισμού της πραγματικής καθυστέρησης των κυκλωμάτων και θα υπολογιστεί το κόστος μετατροπής των σύγχρονων κυκλωμάτων ώστε να δουλεύουν στις πραγματικές καθυστερήσεις.

Κεφάλαιο 3

Πειραματική διαδικασία

Στο τρίτο κεφάλαιο περιγράφεται μια πειραματική διαδικασία για τον υπολογισμό των πραγματικών καθυστερήσεων κυκλωμάτων διπλής ράγας με αναγνώριση ολοκλήρωσης. Επίσης υπολογίζεται το κόστος μετατροπής σύγχρονων κυκλωμάτων σε αντίστοιχα ασύγχρονα διπλής ράγας με αναγνώριση ολοκλήρωσης. Τα στάδια της πειραματικής διαδικασίας έχουν ως εξής:



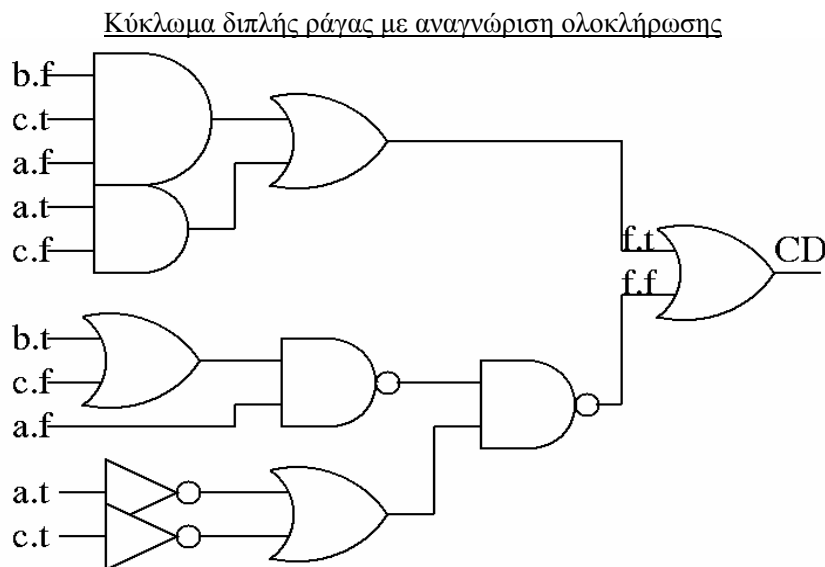
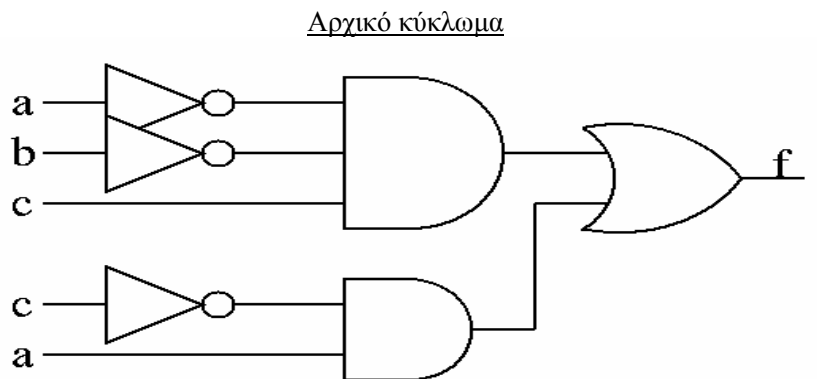
Σχήμα 3-1.Στάδια πειραματικής διαδικασίας.

3.1 Μετατροπή συνδυαστικών κυκλωμάτων σε μονότονα με αναγνώριση ολοκλήρωσης

Όπως φαίνεται στο Σχήμα 3α κατά το πρώτο βήμα της πειραματικής διαδικασίας μετατρέπουμε ένα συνδυαστικό κύκλωμα μονής ράγας σε συνδυαστικό διπλής ράγας με αναγνώριση ολοκλήρωσης. Το αρχικό κύκλωμα έχει περιγραφεί σε γλώσσα περιγραφής υλικού BLIF(Berkeley Login Interchange Format). Με το εργαλείο SIS αρχικά γίνεται βελτιστοποίηση στο κύκλωμα χρησιμοποιώντας το script βελτιστοποίησης του SIS, script.rugged. Ακολούθως χρησιμοποιώντας την εντολή `dr_create -c` που βρίσκεται στο SIS DR package μετατρέπεται

το κύκλωμα σε διπλής ράγας με αναγνώριση ολοκλήρωσης. Έπειτα γίνεται τεχνολογική απεικόνιση στο κύκλωμα στη βιβλιοθήκη UMC 0.18 και εξάγεται το απεικονισμένο διπλής ράγας κύκλωμα. Ακολούθως με τη βοήθεια ενός απλού προγράμματος μετατρέπεται το κύκλωμα στη γλώσσα περιγραφής υλικού Verilog.

Το παραπάνω βήμα όπως και τα υπόλοιπα θα επεξηγηθούν με τη βοήθεια ενός παραδείγματος. Το κύκλωμα πολλών εξόδων που θα περάσει από όλα τα στάδια της πειραματικής διαδικασίας υλοποιείται από την εξίσωση: $f = a'b'c + ac'$. Στο παρακάτω σχήμα φαίνεται σχηματικά το κύκλωμα όπως μετατρέπεται σε διπλής ράγας με αναγνώριση ολοκλήρωσης:



Σχήμα 3-2. Μετατροπή ενός κυκλώματος από μονής σε διπλής ράγας.

3.2 Στατική χρονική ανάλυση

Στο επόμενο βήμα εκτελείται στατική χρονική ανάλυση σύμφωνα με το διαθέσιμο επαναπρογραμματιζόμενο υλικό. Αρχικά αντικαθίστανται οι πύλες της δοθείσας βιβλιοθήκης η οποία είναι περιγεγραμμένη με το πρότυπο genlib σε Verilog modules συμβατά με το διαθέσιμο υλικό, καθένα από τα οποία μοντελοποιεί μία από τις πύλες τις τεχνολογίας. Οι πύλες αυτές είναι μονότονες για να εξασφαλίζεται η σωστή λειτουργία της κωδικοποίησης διπλης ράγας. Όμως τα

εργαλεία σύνθεσης κυκλωμάτων χρησιμοποιούν τεχνικές βελτιστοποίησης οι οποίες αναιρούν την ιεραρχία των κυκλωμάτων. Αυτό όμως δημιουργεί τον κίνδυνο να χρησιμοποιηθούν και πύλες μη μονότονες πράγμα που θα δημιουργούσε σφάλματα στη σωστή λειτουργία του κυκλώματος. Γι'αυτό χρησιμοποιείται ο περιορισμός `keep_hierarchy` του ISE ο οποίος δεν επιτρέπει να συμπυχθούν instances των modules που έχουν αυτό τον περιορισμό.

Έπειτα χρησιμοποιείται το εργαλείο ISE για να γίνει απεικόνιση του κυκλώματος στο υλικό. Την απεικόνιση ακολουθεί η εξαγωγή της στατικής χρονικής ανάλυσης με το εργαλείο Timing Analyzer της Xilinx. Έτσι στο παράδειγμα που μελετάται η έξοδος του timing analyzer δίνει :

Source	Destination	Delay(ns)
Axt	fxt	11.310
Cxt	fxf	11.417
Axt	fxf	11.634
Cxf	fxt	11.943
Cxt	fxt	12.073
bxf	fxt	12.182
Axf	fxt	12.730
Cxf	fxf	13.697
Axf	fxf	13.709
Axt	xxCDxx	15.570
Bxt	fxf	15.869
Cxt	xxCDxx	16.409
bxf	xxCDxx	16.518
Cxf	xxCDxx	17.813
Axf	xxCDxx	17.825
Bxt	xxCDxx	19.985

Πίνακας 3-1.STA.

Όπως φαίνεται στον πίνακα 3-1 η έξοδος του εργαλείου δίνει πληροφορίες για την καθυστέρηση από κάθε είσοδο του κυκλώματος σε κάθε έξοδο του κυκλώματος. Το πιο αργό μονοπάτι σε αυτό το παράδειγμα ξεκινάει από την είσοδο bxt και καταλήγει στις εξόδους fxf , CD.

Όμως το εργαλείο ISE δεν μας δίνει πληροφορίες για το διάνυσμα εισόδου που ευαισθητοποίησε το κρίσιμο μονοπάτι και λόγω της έλλειψης αυτής υλοποιήθηκε μια απλή εξονυχιστική μέθοδος η οποία το υπολογίζει. Για τον υπολογισμό χρησιμοποιείτε και πάλι το εργαλείο SIS σε συνδυασμό με το Cadence Verilog-XL. Αρχικά εισάγεται στο εργαλείο SIS το κύκλωμα και με την εντολή `collapse [output_port]` βρίσκουμε την εξίσωση εξάρτησης της κρίσιμης εξόδου ως προς ελαχιστόρους του κύκλωματος. Από την εξίσωση αυτή εξάγεται η στήριξη της εξόδου. Η στήριξη μιας εξόδου αποτελεί το σύνολο των πρωτευόντων εισόδων του κυκλώματος από τις οποίες ξεκινάει τουλάχιστον ένα μονοπάτι το οποίο καταλήγει σε αυτή την έξοδο. Στο παράδειγμα η στήριξη της fxf είναι το σύνολο `axt , axf, bxt, bxf, cxt`. Αυτό επαληθεύεται εύκολα παρατηρώντας το σχήμα 3β.

Αφού βρεθεί η στήριξη της κρίσιμης εξόδου του κυκλώματος παράγεται ένα αρχείο Verilog το οποίο περιέχει ένα αντικείμενο του κυκλώματος και παράγει όλα τα έγκυρα διανύσματα εισόδου που ευαισθητοποιούν το κρίσιμο μονοπάτι με τα οποία τροφοδοτεί το κύκλωμα. Ως έγκυρο διάνυσμα ορίζεται το διάνυσμα εισόδου που συμφωνεί με την κωδικοποίηση διπλής ράγας όπως αυτή ορίστηκε σε προηγούμενο κεφάλαιο. Έπειτα στο Verilog-XL φορτώνεται το αρχείο Verilog παράλληλα με το αρχείο χρονισμού .sdf που παράγει το εργαλείο ISE και χρησιμοποιώντας την εντολή `$time` της Verilog-XL υπολογίζονται οι

καθυστερήσεις από τις εισόδους στις εξόδους και βρίσκεται ποιο από τα διανύσματα εισόδου που ανήκουν στη στήριξη της εξόδου του κρίσιμου μονοπατιού ενεργοποιεί το κρίσιμο μονοπάτι.

Στο παράδειγμα που εξετάζεται η στήριξη του σήματος fxf, που είναι η κατάληξη του κρίσιμου μονοπατιού, αποτελείται από τις εισόδους axf, bxf, cxf. Έτσι δίνουμε στο κύκλωμα όλα τα έγκυρα διανύσματα εισόδου που ενεργοποιούν το κρίσιμο μονοπάτι και τα οποία είναι τα τέσσερα από τα εξής:

Dual rail						Single rail		
axt	axf	bxt	bxf	cxt	cx f	a	b	c
0	0	0	0	0	0	Μη έγκυρο		
0	0	0	0	0	1	Μη έγκυρο		
0	0	0	0	1	0	Μη έγκυρο		
0	0	0	0	1	1	Μη έγκυρο		
0	0	0	1	0	0	Μη έγκυρο		
0	0	0	1	0	1	Μη έγκυρο		
0	0	0	1	1	0	Μη έγκυρο		
0	0	0	1	1	1	Μη έγκυρο		
0	0	1	0	0	0	Μη έγκυρο		
0	0	1	0	0	1	Μη έγκυρο		
0	0	1	0	1	0	Μη έγκυρο		
0	0	1	0	1	1	Μη έγκυρο		
0	0	1	1	0	0	Μη έγκυρο		
0	0	1	1	0	1	Μη έγκυρο		
0	0	1	1	1	0	Μη έγκυρο		
0	0	1	1	1	1	Μη έγκυρο		
0	1	0	0	0	0	Μη έγκυρο		
0	1	0	0	0	1	Μη έγκυρο		
0	1	0	0	1	1	Μη έγκυρο		
0	1	0	1	0	0	Μη έγκυρο		
0	1	0	1	0	1	0	0	0 (δεν ανήκει στη στήριξη)
0	1	0	1	1	0	0	0	1 (δεν ανήκει στη στήριξη)
0	1	0	1	1	1	Μη έγκυρο		
0	1	1	0	0	0	Μη έγκυρο		
0	1	1	0	0	1	0	1	0
0	1	1	0	1	0	0	1	1
0	1	1	0	1	1	Μη έγκυρο		
0	1	1	1	0	0	Μη έγκυρο		
0	1	1	1	0	1	Μη έγκυρο		
0	1	1	1	1	0	Μη έγκυρο		
0	1	1	1	1	1	Μη έγκυρο		
1	0	0	0	0	0	Μη έγκυρο		
1	0	0	0	0	1	Μη έγκυρο		
1	0	0	0	1	0	Μη έγκυρο		
1	0	0	0	1	1	Μη έγκυρο		
1	0	0	1	0	0	Μη έγκυρο		
1	0	0	1	0	1	1	0	0 (δεν ανήκει στη στήριξη)
1	0	0	1	1	0	1	0	1 (δεν ανήκει στη στήριξη)
1	0	0	1	1	1	Μη έγκυρο		
1	0	1	0	0	0	Μη έγκυρο		
1	0	1	0	0	1	1	1	0
1	0	1	0	1	0	1	1	1
1	0	1	0	1	1	Μη έγκυρο		

Πίνακας 3-2. Έγκυρα διανύσματα εισόδου

Από αυτά τα τέσσερα διανύσματα που δίνονται ως είσοδοι του κυκλώματος αυτό το οποίο καθυστέρησε περισσότερο να ενεργοποιηθεί την έξοδο fxf ήταν το (axt=0, axf=1, bxt=1, bxf=0, cxt=1, cxf=0) και η καθυστέρηση που μετρήθηκε στην προσομοίωση ήταν 19985 ps για την ενεργοποίηση του CD και 15869 ps για την ενεργοποίηση του fxf. Αν συγκριθεί αυτό το αποτέλεσμα και με το αποτέλεσμα του timing analyzer του εργαλείου ISE έχουν ακριβώς την ίδια τιμή (15869, 19985).

3.3 Μέτρηση της πραγματικής καθυστέρησης

Τελευταίο στάδιο της πειραματικής διαδικασίας είναι ο προγραμματισμός του υλικού και η μέτρηση των πραγματικών καθυστερήσεων. Αρχικά παράγεται ένα αρχείο Verilog το οποίο να μπορεί να απεικονιστεί στο υλικό. Στο αρχείο αυτό υπάρχει η μονάδα του κυκλώματος διπλής ράγας, στην οποία θα πρέπει να δοθεί το διάνυσμα εισόδου που υπολογίστηκε στο προηγούμενο βήμα της πειραματικής διαδικασίας. Για να είναι δυνατόν όμως να υπολογιστούν οι πραγματικοί χρόνοι πάνω στο υλικό θα πρέπει να δοθεί επαναληπτικά στη μονάδα του κυκλώματος το διάνυσμα εισόδου και να μετράμε την καθυστέρηση από τις εισόδους στο αντικείμενο του κυκλώματος μέχρι και τις εξόδους του.

Για να δίνεται επαναληπτικά το διάνυσμα εισόδου χρησιμοποιούνται κάποια στοιχεία μνήμης που υπάρχουν στο υλικό, οι block RAM. Οι block RAM είναι δυναμικά στοιχεία μνήμης τα οποία υπάρχουν σε συγκεκριμένες θέσεις της FPGA και στην υλοποίηση που μελετάται χρησιμοποιούνται σε ζευγάρια. Στη μία εισάγονται οι true ράγες των πρωτεύοντων εισόδων και στην άλλη το συμπλήρωμα τους που είναι το false του διανύσματος εισόδου που ενεργοποιεί το κρίσιμο μονοπάτι. Οι έξοδοι των στοιχείων μνήμης οδηγούν τη μονάδα του κυκλώματος. Οι έξοδοι αυτές δηλώνονται σαν pads όπως και οι έξοδοι του κυκλώματος για να μπορεί να συσχετιστεί η διαφορά στο χρόνο ενεργοποίησης τους στο λογικό αναλυτή.

Έπειτα το αρχείο αυτό απεικονίζεται στο υλικό το οποίο και προγραμματίζεται. Τελικά υπολογίζονται οι καθυστερήσεις μεταξύ των pads που οδηγούνται από τις εξόδους των Block RAMs(εισόδους κυκλώματος) του κυκλώματος και των pads που οδηγούνται από τις εξόδους του κυκλώματος σε ένα λογικό αναλυτή. Όπως παρατηρείται στο λογικό αναλυτή η καθυστέρηση αυτή δεν είναι σταθερή κι έχει κάποιες διακυμάνσεις οπότε κρατάται η μεγαλύτερη από αυτές.

Έπειτα το αρχείο αυτό απεικονίζεται στο υλικό το οποίο και προγραμματίζεται. Τελικά μετράμε τις καθυστερήσεις μεταξύ των pads που οδηγούνται από τις εξόδους των Block RAMs(εισόδους κυκλώματος) του κυκλώματος και των pads που οδηγούνται από τις εξόδους του κυκλώματος σε ένα λογικό αναλυτή. Όπως παρατηρείται στο λογικό αναλυτή η καθυστέρηση αυτή δεν είναι σταθερή κι έχει κάποιες διακυμάνσεις οπότε χρησιμοποιείται η μεγαλύτερη από αυτές.

Στο παράδειγμα που μελετάται εισάγεται το διάνυσμα εισόδου που ενεργοποιεί το κρίσιμο μονοπάτι στην Block RAM και παρατηρούνται οι πραγματικές καθυστερήσεις στο λογικό αναλυτή.

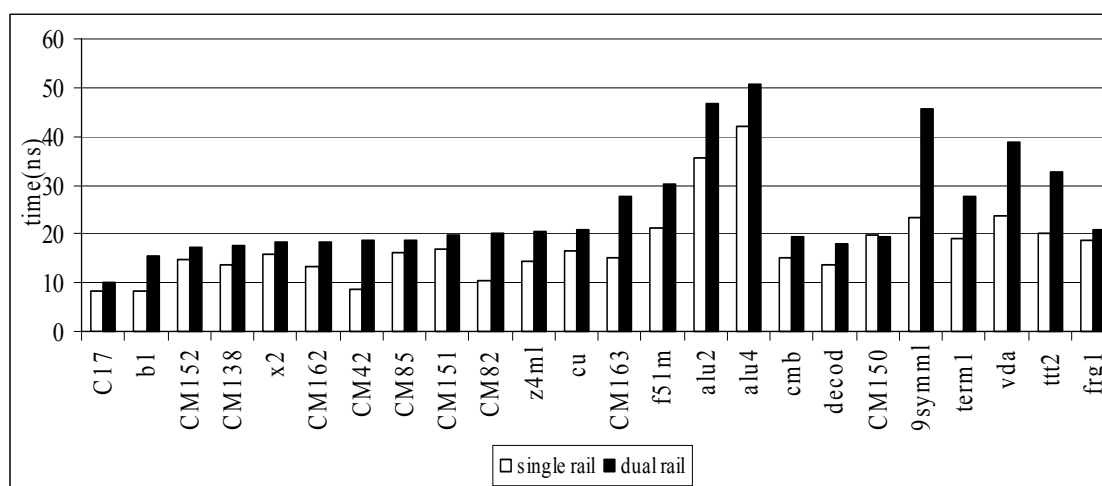
Με την παραπάνω διαδικασία, όπως παρουσιάστηκε στο τρέχον κεφάλαιο, συνετέθησαν κυκλώματα από τα IWLS benchmarks ώστε να αξιολογηθεί η διαφορά μεταξύ των αποτελεσμάτων της στατικής χρονικής ανάλυσης και των πραγματικών καθυστερήσεων. Επίσης υπολογίστηκε το κόστος της διαδικασίας στο εμβαδό και την ταχύτητα των κυκλωμάτων. Τα αποτελέσματα θα παρουσιαστούν στο επόμενο κεφάλαιο της εργασίας.

Κεφάλαιο 4

Αποτελέσματα

Σε αυτό το κεφάλαιο παραθέτονται τα αποτελέσματα εφαρμογής της ροής, που παρουσιάστηκε στο προηγούμενο κεφάλαιο σε 25 benchmark κυκλώματα IWLS'89. Αρχικά υπολογίζεται η διαφορά στατικής χρονικής ανάλυσης και πραγματικών καθυστερήσεων καθώς και το κόστος εφαρμογής της διαδικασίας στα κυκλώματα. Έπειτα υπολογίζεται η μεταβλητότητα μεταξύ διαφορετικών συσκευών με το ίδιο rating.

4.1 Σύγκριση στατικής χρονικής ανάλυσης κυκλωμάτων διπλής και μονής ράγας.



Σχήμα 4-1. Διαφορά καθυστέρησης κυκλωμάτων μονής και διπλής ράγας.

Στο πρώτο πείραμα μετρήθηκε η καθυστέρηση του κρίσιμου μονοπατιού που δίνει η στατική χρονική ανάλυση στα κυκλώματα απλής ράγας και τα αντίστοιχα διπλής. Από τα αποτελέσματα όπως αυτά φαίνονται στο παραπάνω ιστόγραμμα μπορούμε να ομαδοποιήσουμε τα κυκλώματα ανάλογα με το ποσοστό διαφοράς καθυστέρησης που παρουσιάζει ένα κύκλωμα όταν μετατρέπεται από μονής ράγας σε διπλής με αναγνώριση ολοκλήρωσης.

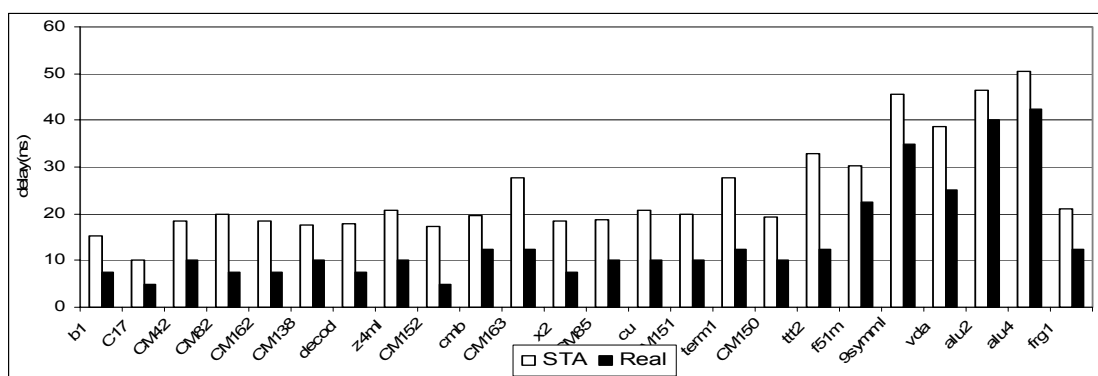
Έτσι παρατηρούμε στο παραπάνω ιστόγραμμα ότι μια ομάδα κυκλωμάτων την οποία αποτελούν τα κυκλώματα C17, CM152, CM138, x2, CM85, CM151, cu, alu4, cmb, decod, CM150, frg1 παρουσιάζει αύξηση στην καθυστέρηση όταν μετατρέπεται σε διπλής ράγας με αναγνώριση ολοκλήρωσης μικρότερη από 30%.

Τα υπόλοιπα κυκλώματα b1, CM162, CM42, CM82, z4m1, CM163, f51m, alu2, 9symm1, term1, vda, ttt2 παρουσιάζουν αύξηση στην καθυστέρηση όταν μετατρέπονται σε διπλής ράγας με αναγνώριση ολοκλήρωσης με ποσοστό που ξεκινάει από το 40% (CM162, term1, z4m1, f51m) και φτάνει το 120% (CM42).

Σχέδιο	single rail(ns)	dual rail(ns)	%αύξηση(ns)
C17	8,389	10,233	0,22
B1	8,324	15,362	0,85
CM152	14,581	17,320	0,19
CM138	13,491	17,652	0,31
X2	15,778	18,320	0,16
CM162	13,131	18,468	0,41
CM42	8,588	18,586	1,16
CM85	16,272	18,791	0,15
CM151	16,72	19,916	0,19
CM82	10,467	19,977	0,91
Z4m1	14,519	20,655	0,42
Cu	16,639	20,867	0,25
CM163	15,142	27,704	0,83
F51m	21,054	30,213	0,44
alu2	35,739	46,581	0,30
alu4	42,142	50,491	0,20
Cmb	15,012	19,545	0,30
decod	13,771	17,904	0,30
CM150	19,76	19,235	-0,03
9symm1	23,512	45,542	0,94
Term1	19,203	27,763	0,45
Vda	23,779	38,726	0,63
ttt2	20,063	32,868	0,64
frg1	18,582	20,934	0,13

Πίνακας 4-1. Διαφορά καθυστέρησης κυκλωμάτων μονής και διπλής ράγας.

4.2 Στατική χρονική ανάλυση και πραγματική καθυστέρηση



Σχήμα 4-2. Διαφορά STA και πραγματικής καθυστέρησης.

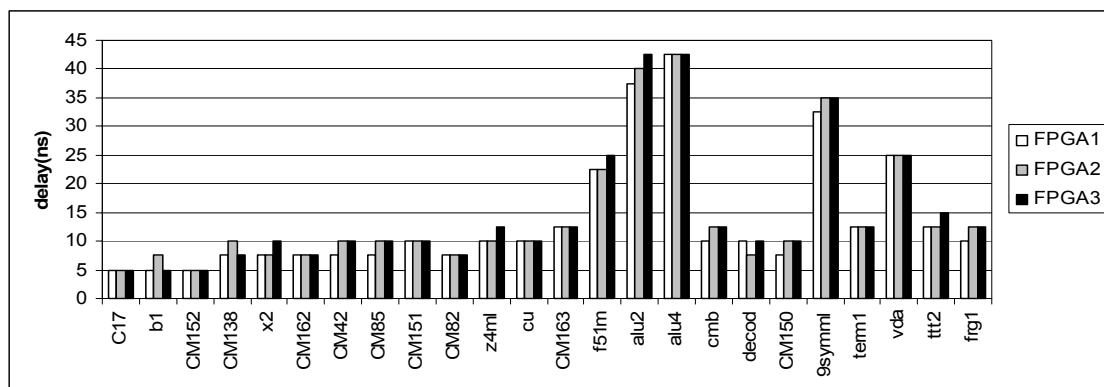
Όπως φαίνεται στο γράφημα του σχήματος 4-1 η στατική χρονική ανάλυση σε κάποια κυκλώματα (C17, b1, CM152, CM138, decod, x2, CM162, CM42, CM85, CM150, cmb, CM151, CM82, z4m1, cu, frg1, CM163, term1, ttt2) δίνει πρόβλεψη καθυστέρησης η οποία έχει πολύ μεγάλη διαφορά με την καθυστέρηση την οποία έχει τελικά το κύκλωμα πάνω στο επαναπρογραμματιζόμενο υλικό. Για παράδειγμα στο κύκλωμα

CM82 η στατική χρονική ανάλυση δίνει χρόνο κοντά στα 20ns ενώ η πραγματική καθυστέρηση δε ξεπερνά τα 7,5ns. Σε κάποια άλλα κυκλώματα (f51m, alu2, alu4) η πρόβλεψη της στατικής χρονικής ανάλυσης είναι πολύ κοντά στην πραγματική καθυστέρηση του κυκλώματος. Για παράδειγμα στο κύκλωμα alu2 η πρόβλεψη της στατικής χρονικής ανάλυσης είναι περίπου 46 ns ενώ η πραγματική καθυστέρηση στο υλικό είναι 42,5ns.

Σχέδιο	STA(ns)	Real(average FPGA)(ns)
b1	15,4	7,5
C17	10,2	5,0
CM42	18,6	10,0
CM82	20,0	7,5
CM162	18,5	7,5
CM138	17,7	10,0
decod	17,9	7,5
z4ml	20,7	10,0
CM152	17,3	5,0
Cmb	19,5	12,5
CM163	27,7	12,5
x2	18,3	7,5
CM85	18,8	10,0
Cu	20,9	10,0
CM151	19,9	10,0
Term1	27,8	12,5
CM150	19,2	10,0
ttt2	32,9	12,5
f51m	30,2	22,5
9symml	45,5	35,0
Vda	38,7	25,0
alu2	46,6	40,0
alu4	50,5	42,5
frg1	20,9	12,5

Πίνακας 4-2. Διαφορά STA και πραγματικής καθυστέρησης.

4.3 Μεταβλητότητα μεταξύ συσκευών FPGA



Σχήμα 4-3. Διαφορά στην καθυστέρηση των διαφορετικών αντικειμένων υλικού.

Στο επόμενο πείραμα συνδέσαμε τρεις συσκευές FPGA στο λογικό αναλυτή και αφού τις προγραμματίσαμε για καθένα από τα κυκλώματα μετρούσαμε ταυτόχρονα την καθυστέρηση που παρουσίαζε το κάθε αντικείμενο υλικού σε καθένα από τα κυκλώματα. Τα διαφορετικά

αντικείμενα του επαναπρογραμματιζόμενου υλικού ήταν Xilinx Spartan 2E FPGAs. Επίσης ο λογικός αναλυτής που χρησιμοποιήθηκε ήταν της Agilent και η μικρότερη χρονική διάρκεια που μπορεί να κάνει δειγματοληψία είναι τα 2.5 ns κι αυτός είναι ο λόγος που όλοι οι χρόνοι είναι πολλαπλάσια του 2.5.

Όπως φαίνεται στο ιστόγραμμα 4-2 παρατηρούνται διαφορετικές τιμές στην καθυστέρηση των κρίσιμων μονοπατιών σε κάποια από τα κυκλώματα. Σε κάποια άλλα κυκλώματα όμως η καθυστέρηση παρέμεινε η ίδια και στα τρία διαφορετικά αντικείμενα του υλικού που προγραμματίστηκαν (C17, CM152, CM162, CM151, CM82, cu, alu4, term1, vda).

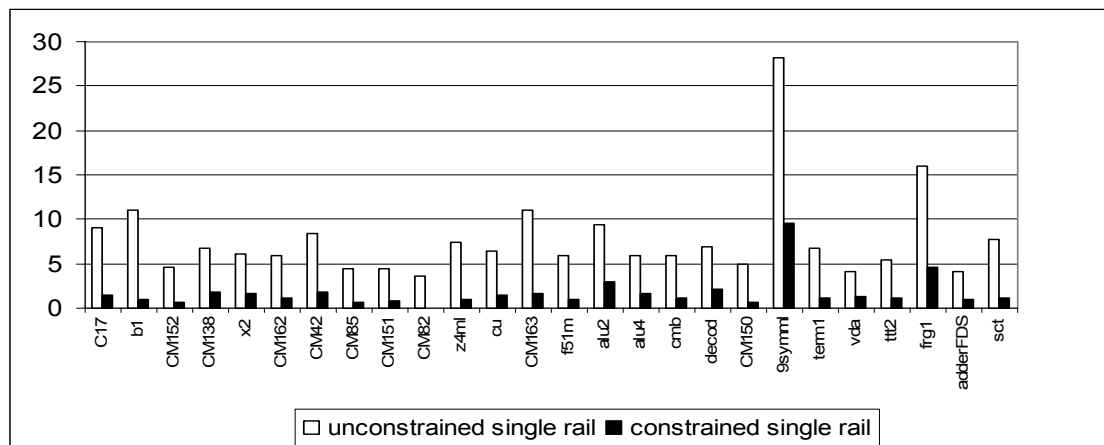
Επίσης είναι φανερό ότι η FPGA3 παρουσιάζει μεγαλύτερες καθυστερήσεις από τις άλλες δύο στα περισσότερα κυκλώματα ενώ η FPGA1 παρουσιάζει τις μικρότερες καθυστερήσεις με εξαίρεση τα κυκλώματα b1 και CM138.

Σχέδιο	FPGA1(ns)	FPGA2(ns)	FPGA3(ns)
C17	5,0	5,0	5,0
b1	5,0	7,5	5,0
CM152	5,0	5,0	5,0
CM138	7,5	10,0	7,5
x2	7,5	7,5	10,0
CM162	7,5	7,5	7,5
CM42	7,5	10,0	10,0
CM85	7,5	10,0	10,0
CM151	10,0	10,0	10,0
CM82	7,5	7,5	7,5
z4ml	10,0	10,0	12,5
cu	10,0	10,0	10,0
CM163	12,5	12,5	12,5
f51m	22,5	22,5	25,0
alu2	37,5	40,0	42,5
alu4	42,5	42,5	42,5
cmb	10,0	12,5	12,5
decod	10,0	7,5	10,0
CM150	7,5	10,0	10,0
9symml	32,5	35,0	35,0
term1	12,5	12,5	12,5
vda	25,0	25,0	25,0
ttt2	12,5	12,5	15,0
frg1	10,0	12,5	12,5

Πίνακας 4-3. Διαφορά στην καθυστέρηση των διαφορετικών FPGA.

4.4 Σύγκριση εμβადού

Στο σχήμα 4-3 φαίνεται το πρόσθετο εμβαδό στα κυκλώματα διπλής ράγας με αναγνώριση ολοκλήρωσης σε σχέση με τα αντίστοιχα μονής ράγας. Στις μπάρες με άσπρο χρώμα αναπαριστάται η αύξηση στο εμβαδό αν επιτρέψουμε στο εργαλείο αυτόματης σύνθεσης να κάνει όλες τις δυνατές βελτιστοποιήσεις ενώ στις σκιασμένες με μαύρο αν δώσουμε στο εργαλείο τους ίδιους περιορισμούς που δώσαμε κατά την απεικόνιση του κυκλώματος διπλής ράγας.



Σχήμα 4-4. Λόγος εμβαδού κυκλωμάτων μονής και διπλής ράγας.

DR SLICES	SR SLICES περιορισμένη σύνθεση	SR SLICES σύνθεση χωρίς περιορισμούς	Λόγος αύξησης εμβαδού σε σχέση με τα χωρίς περιορισμούς κυκλώματα	Λόγος αύξησης εμβαδού σε σχέση με τα περιορισμένα κυκλώματα
12	6	1	11,000	1,000
10	4	1	9,000	1,500
47	17	5	8,400	1,765
14	13	3	3,667	0,077
55	25	8	5,875	1,200
39	14	5	6,800	1,786
88	28	11	7,000	2,143
42	22	5	7,400	0,909
17	10	3	4,667	0,700
62	28	9	5,889	1,214
60	22	5	11,000	1,727
64	24	9	6,111	1,667
44	27	8	4,500	0,630
74	29	10	6,400	1,552
22	12	4	4,500	0,833
195	88	25	6,800	1,216
53	32	9	4,889	0,656
254	114	39	5,513	1,228
96	48	14	5,857	1,000
935	89	32	28,219	9,506
627	277	122	4,139	1,264
672	168	65	9,338	3,000
869	330	125	5,952	1,633
426	75	25	16,040	4,680
192	97	38	4,053	0,979
97	45	11	7,818	1,156

Πίνακας 4-4. Διαφορά στο εμβαδό κυκλωμάτων μονής και διπλής ράγας.

Σε αυτό το κεφάλαιο παρουσιάστηκαν τα αποτελέσματα εφαρμογής της ροής του κεφαλαίου 3. Στο επόμενο κεφάλαιο θα αναλυθούν τα συμπεράσματα που προκύπτουν από τα αποτελέσματα και θα αναφερθεί η μελλοντική εργασία που μπορεί να γίνει.

Κεφάλαιο 5

Συμπεράσματα και μελλοντική εργασία

Στο κεφάλαιο αυτό παρουσιάζονται τα συμπεράσματα που προέκυψαν από τα αποτελέσματα των πειραμάτων του προηγούμενου κεφαλαίου. Συγκεκριμένα αναλύονται οι επιπτώσεις που έχει στη λειτουργία των κυκλωμάτων η πρόβλεψη της καθυστέρησης της στατικής χρονικής ανάλυσης, η μεταβλητότητα στην καθυστέρηση μεταξύ των διαφορετικών αντικειμένων του υλικού και η αύξηση της καθυστέρησης και του εμβαδού που παρουσιάζουν τα κυκλώματα κατά την μετατροπή τους από μονής ράγας σε διπλής.

5.1 Στατική χρονική ανάλυση και χρονισμός λειτουργίας

Κάποιες από τις προβλέψεις των εργαλείων αυτόματης σύνθεσης υλικού μπορεί να φαίνεται ότι είναι πολύ κοντά στις πραγματικές καθυστερήσεις των κυκλωμάτων, όπως φάνηκε στο προηγούμενο κεφάλαιο, κι έτσι να δίνουν τη δυνατότητα στους μηχανικούς να σχεδιάζουν κυκλώματα χωρίς περιττές καθυστερήσεις, τα οποία να λειτουργούν με τη μεγαλύτερη δυνατή ταχύτητα. Όμως από την άλλη μεριά χρονίζοντας ένα σύγχρονο κύκλωμα να λειτουργεί με καθυστέρηση πολύ κοντά στην πραγματική αυξάνουμε την πιθανότητα να έχουμε λανθασμένη λειτουργία του κυκλώματος υπό κάποιες συνθήκες. Για παράδειγμα ας θεωρηθεί το κύκλωμα `alu2` το οποίο είχε στη στατική χρονική ανάλυση πρόβλεψη καθυστέρησης του κρίσιμου μονοπατιού 46,581ns. Το κύκλωμα αυτό όταν τοποθετήθηκε στο υλικό έδωσε καθυστέρηση του κρίσιμου μονοπατιού 42,5ns. Σύμφωνα με τη βιβλιογραφία[33] αύξηση της θερμοκρασίας από τους 28°C στους 58°C σε μία Xilinx Spartan2 έχει σαν αποτέλεσμα την αύξηση στις καθυστερήσεις του κυκλώματος κατά 5%. Έτσι αν είχε χρησιμοποιηθεί το κύκλωμα `alu2` σε ένα διασωληνωμένο κύκλωμα του οποίου να αποτελούσε το πιο αργό στάδιο θα είχαμε ελαττωματική λειτουργία του κυκλώματος σε κάθε ενεργοποίηση του κρίσιμου μονοπατιού με παράλληλη αύξηση της θερμοκρασίας άνω των 40 βαθμών. Παρόμοια συμπεράσματα παράγει η μεταβολή της τάσης λειτουργίας του κυκλώματος.

Οι προβλέψεις που δεν είναι κοντά στην πραγματική καθυστέρηση κατά τη στατική χρονική ανάλυση αναγκάζουν να χρονίζεται το κύκλωμα σε συχνότητες πολύ χαμηλότερες από αυτές που θα μπορούσε να λειτουργήσει. Αν επί παραδείγματι χρησιμοποιηθεί το κύκλωμα `ttt2` σε ένα διασωληνωμένο σύγχρονο κύκλωμα του οποίου είναι και το αργότερο τμήμα συνδυαστικής λογικής οπότε η καθυστέρηση του προσδιορίζει και τη καθυστέρηση του κυκλώματος. Η στατική χρονική ανάλυση ορίζει ότι η τιμή της καθυστέρησης του κυκλώματος είναι 32,868ns κι έτσι χρονίζουμε το σύγχρονο κύκλωμα να έχει κύκλο 32,868ns. Η πραγματική καθυστέρηση του κυκλώματος `ttt2` όμως είναι μονάχα 15ns κι έτσι παρατηρείται ότι έχει αναγκαστεί το κύκλωμα να λειτουργεί με καθυστέρηση πάνω από δύο φορές σε σχέση με αυτή που θα μπορούσε στην πραγματικότητα να λειτουργήσει.

Τα παραπάνω δείχνουν ότι πρόβλεψη της στατικής χρονικής ανάλυσης έχει πολύ σημαντικές επιπτώσεις στη λειτουργία του κυκλώματος. Το γεγονός αυτό αναδεικνύει τη μέθοδο του αποσυγχρονισμού σε συνδυασμό με την αναγνώριση ολοκλήρωσης ως μια πολύ αποτελεσματική λύση αφού το κύκλωμα προσαρμόζεται στις μεταβολές της θερμοκρασίας και της τάσης όσον αφορά τη σωστή λειτουργία και επιτρέπει στο κύκλωμα να λειτουργεί σύμφωνα με τις πραγματικές καθυστερήσεις των μονοπατιών που ενεργοποιούν δυναμικά τα δεδομένα όσον αφορά την ταχύτητα.

5.2 Μεταβλητότητα μεταξύ διαφορετικών συσκευών

Όπως φάνηκε στο προηγούμενο κεφάλαιο υπήρξε διαφοροποίηση στην καθυστέρηση μεταξύ των διαφορετικών αντικειμένων του υλικού. Το μέτρο της διαφοροποίησης αυτής άλλες φορές είναι ακίνδυνο για τη σωστή λειτουργία του κυκλώματος όπως στο κύκλωμα b1 όπου στα δύο αντικείμενα του υλικού είναι 5ns ενώ στο τρίτο είναι 7,5ns με τη στατική χρονική ανάλυση να κυμαίνεται στα 15,362ns. Στην περίπτωση αυτή είναι σχεδόν αδύνατο να έχουμε πρόβλημα λειτουργίας από τη μεταβλητότητα των καθυστερήσεων στα διάφορα αντικείμενα αν εμπιστευτούμε τη στατική χρονική ανάλυση και χρονίσουμε το κύκλωμα στα 15,362ns. Σε άλλα κυκλώματα όμως η μεταβλητότητα των καθυστερήσεων μπορεί να επηρεάσει τη λειτουργία αν δε γίνει λεπτομερής ανάλυση. Για παράδειγμα στο κύκλωμα a1u2 αν ελεγχθεί μονάχα το αντικείμενο υλικού που έδωσε χρόνο καθυστέρησης κρίσιμου μονοπατιού 37,5ns θα επιβεβαιωνόταν ότι η στατική χρονική ανάλυση έδωσε πολύ καλό αποτέλεσμα 46,581ns. Όμως τοποθετώντας το ίδιο κύκλωμα και στις υπόλοιπες συσκευές αποδείχτηκε ότι οι χρόνοι καθυστέρησης ήταν πολύ πάνω από τα 37,5ns και μάλιστα έφτασαν τα 42,5ns χρόνο που σε καμία περίπτωση δε μπορεί να εγγυηθεί τη σωστή λειτουργία του κυκλώματος με κάποιες αλλαγές στις συνθήκες λειτουργίας όπως αυτές αναλύθηκαν στην προηγούμενη παράγραφο.

Και αυτή η παράμετρος της μεταβλητότητας βρίσκει λύση με τη μέθοδο του αποσυγχρονισμού με ή χωρίς τη χρήση αναγνώρισης ολοκλήρωσης. Αν δε χρησιμοποιηθεί αναγνώριση ολοκλήρωσης τότε στο αποσυγχρονισμένο κύκλωμα θα χρησιμοποιηθούν στοιχεία καθυστέρησης όπως αναλύθηκε στο κεφάλαιο 2. Αυτά τα στοιχεία καθυστέρησης αν τοποθετηθούν κοντά στο τμήμα της λογικής της οποίας την καθυστέρηση μοντελοποιούν ακολουθούν τις μεταβολές της καθυστέρησης κι έτσι η σωστή λειτουργία του κυκλώματος είναι σχεδόν σίγουρη. Αυτό αποδείχτηκε και στην πράξη μετά τον αποσυγχρονισμό του κυκλώματος ενός απλού επεξεργαστή DLX και της υλοποίησης του σε ASIC (ASPIDA PROJECT IST-37796). Ο επεξεργαστής αυτός δούλεψε σωστά ακόμα και με τάση τροφοδοσίας 0,95V αποδεικνύοντας ότι το αποσυγχρονισμένο κύκλωμα άρχισε να επηρεάζεται από τη μεταβλητότητα σε τάση τροφοδοσίας πολύ κοντά στο V_t των transistors. Να σημειωθεί ότι κανονική τάση λειτουργίας είχαν θεωρηθεί τα 2,5V.

Με τη χρήση αναγνώρισης ολοκλήρωσης δε χρειάζεται να κάνουμε και τις υποθέσεις για την τοποθέτηση των στοιχείων καθυστέρησης κοντά στη λογική που μοντελοποιούν.

Αξιοσημείωτο είναι επίσης ότι η μεταβλητότητα μεταξύ των κυκλωμάτων δεν είναι τυχαία αλλά μάλιστα αν παρατηρηθούν οι καμπύλες μεταβλητότητας μεταξύ των συσκευών φαίνεται ότι υπάρχει ένα σχετικά γρήγορο αντικείμενο υλικού (FPGA1), ένα τυπικό αντικείμενο (FPGA2) κι ένα σχετικά αργό (FPGA3).

Και οι τρεις συσκευές Spartan 2E που δοκιμάστηκαν είχαν το ίδιο rating οπότε δεδομένων των αποτελεσμάτων του προηγούμενου κεφαλαίου μπορούμε να συμπαράνουμε ότι η διαδικασία ταξινόμησης (binning) της εταιρείας Xilinx είναι σχετικά καλή και η inter die μεταβλητότητα δεν είναι σημαντική. Όμως μένει να μελετηθεί περαιτέρω η σημαντική intra die μεταβλητότητα που παρατηρήθηκε και η οποία εξαρτάται από παράγοντες όπως το δυναμικό, η θερμοκρασία και η μεταβλητότητα στα μεγέθη των πυλών.

5.3 Μονοτονία και εμβαδό

Όπως παρατηρήθηκε στο προηγούμενο κεφάλαιο η αύξηση του εμβαδού στα περισσότερα κυκλώματα έφτανε τις πέντε με έξι φορές σε σχέση με το αρχικό μονής ράγας κύκλωμα όταν στο εργαλείο αυτόματης σύνθεσης υλικού δε δίνονταν περιορισμοί. Αυτό μπορεί

εύκολα να εξηγηθεί αν λάβουμε υπόψιν μας τις επιθετικές τεχνικές που χρησιμοποιούν τα σημερινά εργαλεία αυτόματης σύνθεσης υλικού και τις επιπτώσεις που έχει στις τεχνικές αυτές η εισαγωγή περιορισμών.

Έτσι αυτή η αύξηση είναι πολύ σημαντική και μπορεί να αποτελέσει επιχείρημα για τη μη υιοθέτηση της τεχνικής του αποσυγχρονισμού με τη προσθήκη αναγνώριση ολοκλήρωσης όπως αυτή μελετάται σε αυτή την εργασία. Γιαυτό το λόγο θα πρέπει να μελετηθεί διεξοδικά μέχρι σε ποιο σημείο μπορούμε να επιτρέψουμε στο εργαλείο αυτόματης σύνθεσης υλικού να κάνει βελτιστοποιήσεις χωρίς όμως να επηρεάζεται η λειτουργικότητα του κυκλώματος διπλής ράγας από τις βελτιστοποιήσεις αυτές. Αυτό όμως δεν αποτελεί στόχο της παρούσας εργασίας και θα πρέπει να μελετηθεί στο μέλλον.

Σε αυτό το κεφάλαιο παρουσιάστηκαν τα συμπεράσματα από τα αποτελέσματα της πειραματικής διαδικασίας. Όπως αναλύθηκε, η εργασία αυτή κατάφερε να υπολογίσει με επιτυχία τη διαφορά στατικής χρονικής ανάλυσης και πραγματικών καθυστερήσεων καθώς και το κόστος εφαρμογής της ροής στο εμβάδο και την ταχύτητα. Επίσης υπολόγισε τη μεταβλητότητα μεταξύ διαφορετικών συσκευών υλικού.

Αναφορές

- [1] S.B. Furber, P. Day, J.D. Garside, N.C. Paver, S. Temple, and J.V. Woods. The design and evaluation of an asynchronous microprocessor. In Proc. Int'l. Conf. Computer Design, pages 217–220, October 1994.
- [2] S.B. Furber, J.D. Garside, S. Temple, J. Liu, P. Day, and N.C. Paver. AMULET2e: An asynchronous embedded controller. In Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, pages 290–299. IEEE Computer Society Press, 1997.
- [3] L.S. Nielsen. Low-power Asynchronous VLSI Design. PhD thesis, Department of Information Technology, Technical University of Denmark, 1997. IT-TR:1997-12.
- [4] L.S. Nielsen and J. Sparsø. An 85 μ W asynchronous filter-bank for a digital hearing aid. In Proc. IEEE International Solid State circuits Conference, pages 108–109, 1998.
- [5] C.H. van Berkel, R. Burgess, J. Kessels, A. Peeters, M. Roncken, and F. Schalij. Asynchronous circuits for low power: a DCC error corrector. IEEE Design & Test, 11(2):22–32, 1994.
- [6] C.H. van Berkel, R. Burgess, J. Kessels, A. Peeters, M. Roncken, F. Schalij, and R. van de Viel. A single-rail re-implementation of a DCC error detector using a generic standard-cell library. In 2nd Working Conference on Asynchronous Design Methodologies, London, May 30-31, 1995, pages 72–79, 1995.
- [7] A.J. Martin, A. Lines, R. Manohar, M. Nyström, P. Penzes, R. Southworth, U.V. Cummings, and T.-K. Lee. The design of an asynchronous MIPS R3000. In Proceedings of the 17th Conference on Advanced Research in VLSI, pages 164–181. MIT Press, September 1997.
- [8] T.E. Williams and M.A. Horowitz. A zero-overhead self-timed 160 ns. 54 bit CMOS divider. IEEE Journal of Solid State Circuits, 26(11):1651–1661, 1991.
- [9] T.E. Williams, N. Patkar, and G. Shen. SPARC64: A 64-b 64-active instruction out-of-order-execution MCM processor. IEEE Journal of Solid-State Circuits, 30(11):1215–1226, November 1995.
- [10] N.C. Paver, P. Day, C. Farnsworth, D.L. Jackson, W.A. Lien, and J. Liu. A low-power, low-noise configurable self-timed DSP. In Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, pages 32–42, 1998.
- [11] C.H. van Berkel, R. Burgess, J. Kessels, A. Peeters, M. Roncken, and F. Schalij. Asynchronous circuits for low power: a DCC error corrector. IEEE Design & Test, 11(2):22–32, 1994.
- [12] A.J. Martin. Compiling communicating processes into delay-insensitive VLSI circuits. Distributed Computing, 1(4):226–234, 1986.

- [13] D.E. Muller. Asynchronous logics and application to information processing. In H. Aiken and W. F. Main, editors, Proc. Symp. on Application of Switching Theory in Space Technology, pages 289–297. Stanford University Press, 1963.
- [14] J. Sparsø and J. Staunstrup. Delay-insensitive multi-ring structures. *INTEGRATION, the VLSI Journal*, 15(3):313–340, October 1993.
- [15] I.E. Sutherland. Micropipelines. *Communications of the ACM*, 32(6):720–738, June 1989.
- [16] C.H. van Berkel, C. Niessen, M. Rem, and R. Saeijs. VLSI programming and silicon compilation. In Proc. International Conf. Computer Design (ICCD), pages 150–166, Rye Brook, New York, 1988. IEEE Computer Society Press.
- [17] A.J. Martin, S.M. Burns, T.K. Lee, D. Borkovic, and P.J. Hazewindus. The first asynchronous microprocessor: The test results. *Computer Architecture News*, 17(4):95–98, 1989.
- [18] C.D. Nielsen, J. Staunstrup, and S.R. Jones. Potential performance advantages of delay-insensitivity. In M. Sami and J. Calzadilla-Daguere, editors, Proceedings of IFIP workshop on Silicon Architectures for Neural Nets, StPaul-de-Vence, France, November 1990. North-Holland, Amsterdam, 1991.
- [19] L.S. Nielsen, C. Niessen, J. Sparsø, and C.H. van Berkel. Low-power operation using self-timed circuits and adaptive scaling of the supply voltage. *IEEE Transactions on VLSI Systems*, 2(4):391–397, 1994.
- [20] I. Blunno, J. Cortadella, A. Kondratyev, L. Lavagno, K. Lwin, and C. Sotiriou. Handshake protocols for de-synchronization. In Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, pages 149–158. IEEE Computer Society Press, Apr. 2004.
- [21] J. Cortadella, A. Kondratyev, L. Lavagno, K. Lwin, and C. Sotiriou. From synchronous to asynchronous: an automatic approach. In Proc. Design, Automation and Test in Europe (DATE), pages 1368–1369, Feb. 2004.
- [22] J. Cortadella, A. Kondratyev, L. Lavagno, and C. Sotiriou. A concurrent model for desynchronization. In Proc. International Workshop on Logic Synthesis, pages 294–301, 2003.
- [23] S.M. Nowick. Design of a low-latency asynchronous adder using speculative completion. *IEE Proceedings, Computers and Digital Techniques*, 143(5):301–307, September 1996.
- [24] S.M. Nowick, K.Y. Yun, and P.A. Beerel. Speculative completion for the design of high-performance asynchronous dynamic adders. In *Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems*, pages 210–223. IEEE Computer Society Press, April 1997.
- [25] Michael Orshansky, Linda Milor, Pinhong Chen, Kurt Keutzer, and Chenming Hu. Impact of Systematic Spatial Intra-Chip Gate Length Variability on Performance of High-Speed Digital Circuits. In Proc. International Conference on CAD. IEEE 2000.
- [26] Verhoeff, T. Delay-insensitive codes- an overview. *Distributed Computing*, 3(1):1-8, 1988.

- [27] W.J. Bainbridge, W.B. Toms, D.A. Edwards, S.B. Furber. Delay-Insensitive, Point-to-Point Interconnect using m-of-n Codes. In Proc. International Symposium on Advanced Research in Asynchronous Circuits and Systems, 2003.
- [28] Dan Ernst, Nam Sung Kim, Sanjay Pant, Shidhartha Das, Rajeev Rao, Toan Pham, Conrad Ziesler, David Blaauw, Todd Austin, Krisztian Flautner, and Trevor Mudge, *Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation*, Proceedings of the 36th Annual Symposium on Microarchitecture, December 2003.
- [29] Alex Kondratyev, Kelvin Lwin: Design of asynchronous circuits by synchronous CAD tools. DAC 2002: 411-414
- [30] Karl M. Fant and Scott A. Brandt, "NULL Convention Logic™: A Complete and Consistent Logic for Asynchronous Digital Circuit Synthesis," *Proceedings, International Conference on Application-Specific Systems, Architectures and Processors*, pp. 261-273, 1996.
- [31] Gerald E. Sobelman and Karl Fant, "CMOS Circuit Design of Threshold Gates with Hysteresis," *Proceedings, IEEE International Symposium on Circuits and Systems*, Vol. 2, pp. 61-64, 1998.
- [32] J. Cortadella, A. Kondratyev, L. Lavagno and C. Sotiriou, "Coping with the Variability of Combinational Logic Delays", in *Proceedings on the International Conference on Computer Design (ICCD), San Jose, U.S.A.*, October 2004.
- [33] Blaise Gassend, Dwaine Clarke, Daihyun Lim, Marten van Dijk, Srinivas Devadas, "Identification and Authentication of Integrated Circuits", Massachusetts Institute of Technology, 2003